

[Original document](#)

# APPARATUS AND METHOD FOR INCREASING MINUTENESS UPON CONVERSION OF DIGITAL DATA INTO FULL-BRIDGE OUTPUT STAGE DRIVING PWM SIGNAL

Publication number: JP11103586

Publication date: 1999-04-13

Inventor: MAIOCCI GIUSEPPE; GALBIATI EZIO

Applicant: ST MICROELECTRONICS SRL

Classification:




- international: **H02M7/5387; H02P6/08; H02P7/06; H03M1/82; H02M7/48; H02M7/5387; H02P6/08; H02P7/06; H03M1/82; (IPC1-7): H02P6/08; H02M7/48; H02M7/5387; H02P7/06; H03M1/82**

- European:

Application number: JP19980203849 19980717

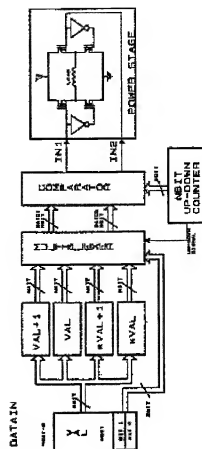
Priority number(s): EP19970830361 19970717

Also published as:

 EP0892500 (A1) US6310912 (B1) EP0892500 (B1)[View INPADOC patent family](#)[View list of citing documents](#)[Report a data error here](#)

## Abstract of JP11103586

**PROBLEM TO BE SOLVED:** To improve current control of an actuator by utilizing an up-down signal of a counter and two least significant bits (LBS) to select one set of data to be compared from four data values, thereby improving minuteness. **SOLUTION:** A \*VAL value of a corrected value of a VAL value is calculated from the VAL value. Two selected digital values are input to respective two N-bit registers. Numeric values increased by '1' are stored in another two N-bit registers. The two LBSs of the input values are sent to a multiplexer, which, in turn, decides three intermediate levels between the two values dynamically indicated by N bits. Two complement LSBs are sent to a least digital circuit which, in turn, judges how long a basic duty cycle is elongated or contracted. Thus, a duty cycle different according to the two LSB values of a reference signal to be converted or a counting direction is formed. As a result, high minuteness can be performed.



Data supplied from the *esp@cenet* database - Worldwide

Description of corresponding document: **EP0892500**

Translate this text

## FIELD OF APPLICATION OF THE INVENTION

The present invention relates to techniques for driving a generic R-L actuator through an output power stage having a so-called bridge configuration and more in particular to a technique for driving an output bridge stage in a PWM mode thus partitioning the voltage delivered to the actuator and thereby controlling the current flowing through it.

## TECHNOLOGICAL BACKGROUND

The control signal of the PWM driving system may, according to recently developed techniques, be generated by a circuit that transforms a predefined N-bit digital value permanently stored in a nonvolatile memory that can be scanned at a variable clock speed, in a digital signal whose amplitude is compatible with the input requisites of the output power stage, the duty-cycle of which is proportional to the N-bit digital value read from the memory.

A conversion system of this nature is described in the European patent application No. 96830295.0, of May 22, 1996, in the name of the same applicant where N was 8.

A conversion system as those mentioned above and shown in Fig. 1 is based on comparing the input BYTE (N=8) containing the value to be converted with the state of an 8-bit timer functioning in a continuous up/down mode.

## DISCUSSION OF THE PRIOR ART

The above referred conversion circuit is depicted in Fig. 2.

By referring to Figures 1 and 2, the sample (N=8 BYTE) to be converted is synchronously loaded in the SL register in order to prevent sample updating during its conversion.

The comparator COMP generates a clock impulse for the toggle bistable circuit FF2 each time the CNT counter state equals the value of the sample to be converted.

This generates a PWMOUT signal whose duty-cycle varies proportionally to the input sample value and symmetrically in respect to the maximum CNT counting value.

However, as it may be observed, the unitary increment (highlighted in an exaggerated manner in Fig. 2) of the input sample value to be converted results in a double and symmetric decrement of the output duty-cycle. For example, going from a sample value 188 to a sample value 189 results in a duty-cycle decrement as depicted by the dashed line of Fig. 2.

In driving an output bridge stage by controlling the current in a Phase Shift Modulation mode, according to the method disclosed in the European patent application No. 95830371.1, of November 15, 1995, of the same applicant, two digital values must be converted, one for each half-bridge, having a symmetric value about to  $2 < N > / 2$ .

In a driving system of this kind, where to a unit increment of the digital signal forced in a half-bridge corresponds a unit decrement of the digital signal that is simultaneously forced in the other half-bridge to maintain symmetry, a double duty-cycle differential increment is produced if compared to the case of a half-bridge output stage.

The system of the present invention avoids such augmented duty-cycle increments for unitary variations of the value of input samples in driving a full-bridge.

## SCOPE AND SUMMARY OF THE INVENTION

An object of the present patent application is a circuit that improves the definition of the above mentioned conversion process by increasing from N to N+2 bits the dimension of the input datum, thereby improving the control of the current in the actuator without incrementing the size (number of bits) of the digital comparator.

## BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 shows a BYTE/PWM converter (N=8) as described in the above mentioned patent application.

Figure 2 show the signals generated by the circuit of Fig. 1.

Figures 3a, 3b, 3c and 3d show respectively the output bridge stage and the drive signals originating from the

NBITS/PWM converter.

Figure 4 shows the duty-cycle variation that is obtained with a unit variation of the digital value to be converted in a PWM signal.

Figure 5 shows the block diagram of the N+2 BIT DATA / PWM converter object of the present invention. Figures 6a, 6b, 6c and 6d show the way the conversion of an N+2 bit input datum takes place for different configurations of the 2 lsb of the original datum.

## DESCRIPTION OF AN EMBODIMENT OF THE INVENTION

As shown in Figures 3a, 3b, 3c and 3d, relative to a PWM driving system of a generic R-L actuator through a bridge output stage according to a Phase Shift Modulation mode as described in the preceding European patent application No. 95830371.1 of November 15, 1995, of the same applicant, the two signals IN1 and IN2 are obtained by converting into two PWM signals an original digital datum DATAIN which is considered stored in N+2 bits.

To analyze the behavior of such a known system, the N msb of DATAIN will be referred to as VAL whereas the complementary of VAL, in respect to  $2^{N+2}/2$ , will be referred to as \*VAL+1.

In the present contest reference is made to systems where N=8 even though theoretically N may be of any integer value.

The condition of null current through the load is obtained when the two input signals IN1 and IN2 are perfectly in phase with each other and with a duty-cycle equal to 50%.

This corresponds to input the BYTE/PWM block with two identical values of VAL and \*VAL+1 both equal to 128 decimal ( $2^{N+2}/2$  in the case of a generic N value).

To a unitary increment of VAL corresponds a unitary decrement of \*VAL+1 in order to maintain symmetry about the value corresponding to a null current through the load ( $2^{N+2}/2$  for the case of a generic N value).

As noticed in Fig. 4, in a whole period of the up/down counter there exist four instants of comparison among the values VAL, \*VAL+1 and the state or content of the counter.

In the example of Fig. 4, the value VAL is incremented from 145 to 146 and, correspondingly, the value of \*VAL+1, symmetric about the value 128, is decremented from 111 to 110.

This corresponds to a duty-cycle decrement by an amount A+C for the signal N1 and an increment by an amount B+D for the IN2 signal, respectively.

The differential duty-cycle DIFF is therefore incremented by A+B+C+D pursuant a unitary increment/decrement of VAL and \*VAL+1.

Thus, the system permits to have a definition of  $1/255$  ( $(1/2^{N+2})$  in the case of a generic N value) for a differential duty-cycle ranging from 0 to 100%.

For the case of the known system, the four comparisons take place without any further processing, contrarily, according to the present invention, adequate actions are forced depending on the condition of the 2 lsb of the DATAIN signal to be converted.

Advantageously, the system of the present invention permits to obtain a greater definition without increasing the number of bits of the up/down counter (comparator).

More precisely, if N is the number of bits of the up/down counter, the system herein disclosed allows for the conversion of an input datum (original datum) mapped on N+2 bits.

Fig. 5 shows a block diagram of the system of the invention.

The DATAIN value to be converted is mapped on N+2 bits in the memory. Among these, the N msb are indicated with VAL.

From the VAL value, by means of a simple logic processing, the complementary value \*VAL is obtained and the two digital values are loaded in two registers of N-bits each.

Two additional N-bit registers contain the same values incremented by 1.

The two lsb of the input value, together with the up/down signal of the counter, are used by the multiplexing block to select the datum to be compared.

This selection occurs according to the following table.

| Id=TABLE 1 Columns=5                    |  |  |  |  |
|---|--|--|--|--|
|   |  |  |  |  |
| Head Col 1: UP-DOWN                     |  |  |  |  |
| Head Col 2: BIT 1                       |  |  |  |  |
| Head Col 3: BIT                         |  |  |  |  |
| Head Col 4: 2 DATUM 1                   |  |  |  |  |
| Head Col 5: DATUM 2                     |  |  |  |  |
| <SEP>0<SEP>0<SEP>0<SEP>VAL<SEP>*VAL+1   |  |  |  |  |
| <SEP>0<SEP>0<SEP>1<SEP>VAL<SEP>*VAL+1   |  |  |  |  |
| <SEP>0<SEP>1<SEP>0<SEP>VAL<SEP>*VAL+1   |  |  |  |  |
| <SEP>0<SEP>1<SEP>1<SEP>VAL+1<SEP>*VAL+1 |  |  |  |  |
| <SEP>1<SEP>0<SEP>0<SEP>VAL<SEP>*VAL+1   |  |  |  |  |
| <SEP>1<SEP>0<SEP>1<SEP>VAL+1<SEP>*VAL+1 |  |  |  |  |
| <SEP>1<SEP>1<SEP>0<SEP>VAL+1<SEP>*VAL   |  |  |  |  |
| <SEP>1<SEP>1<SEP>1<SEP>VAL+1<SEP>*VAL   |  |  |  |  |

As shown in Fig. 5 and in TABLE 1, the two least significative bits of the input datum are used by a digital circuit to identify three intermediate levels between two consecutive values representable by an N-bit dynamic.

In the case of N=8, VAL equal to 145 and, consequently, \*VAL+1 equal to 111, the following situation exists:

| Columns=5                                       |  |  |  |  |
|---|--|--|--|--|
|   |  |  |  |  |
| Head Col 1: 8msb                                |  |  |  |  |
| Head Col 2: bit1                                |  |  |  |  |
| Head Col 3: bit0                                |  |  |  |  |
| Head Col 4: effective value                     |  |  |  |  |
| Head Col 5: Resulting Dcxxx                     |  |  |  |  |
| <SEP>145<SEP>0<SEP>0<SEP>145<SEP>DC145          |  |  |  |  |
| <SEP>145<SEP>0<SEP>1<SEP>145.25<SEP>DC145+A     |  |  |  |  |
| <SEP>145<SEP>1<SEP>0<SEP>145.5<SEP>DC145+A+B    |  |  |  |  |
| <SEP>145<SEP>1<SEP>1<SEP>145.75<SEP>DC145+A+B+C |  |  |  |  |

Thus, the two supplementary lsb are used by a dedicated digital circuit to decide of "how much" the base duty-cycle (identified by DC145 and corresponding to the two lsb equal to zero) should be incremented or decremented.

Naturally the following relationship applies:

$$DC145+A+B+C+D = DC146$$

Hence, the system functions in a dynamic manner generating a different duty-cycle depending on the value of the two lsb of the datum to be converted and of the counting direction of the up/down counter.

This results in a definition which is four times higher than that in the case of the known system taken as a comparative example, while using a comparator of the same number of bits.

Thereby the comparator thereby generates the two IN1 and IN2 signals that drive the output power stage.

From TABLE 1 and Figures 6a, 6b, 6c and 6d, the way the intermediate levels between two consecutive VAL values are obtained may be observed.

For example, by assuming  $VAL=145$ , then:

$$VAL=145 \quad VAL+1=146 \quad *VAL=110 \quad *VAL+1 = 111$$

In the case of converting 145 (Fig. 6), the fractionary term is null because  $BIT0=0$  and  $BIT1=0$ .

From TABLE 1 and from Fig. 6a it may be noticed that DATO1 and DATO2 are forced respectively to VAL and to \*VAL+1, during the timer "UP COUNTING" as well as during "DOWN COUNTING".

The result of this conversion is observable in Fig. 6a.

If 145.25 (Fig. 6b) must be converted, then  $BIT0=1$  and  $BIT1=0$ .

In this case there exists a modulation of DATO 1 resulting in the conversion of VAL+1 when the timer is counting "UP" and the conversion of VAL when the timer is counting "DOWN".

The result of this conversion is illustrated in Fig. 6b.

In case of converting 145.50 (Fig. 6c),  $BIT0=0$  and  $BIT1=1$ .

In this case there is a modulation of both input data namely of DATO1 and DATO2, which implies the conversion of VAL+1 and \*VAL when the timer is counting "UP" and the conversion of VAL and \*VAL+1 when the timer is counting "DOWN".

The result of this conversion is depicted in Fig. 6c.

In case of converting 145.75 (Fig. 6d),  $BIT0=1$  and  $BIT1=1$ .

In this case there is a modulation of DATO2 resulting in the conversion of \*VAL when the timer is counting "UP" and the conversion of \*VAL+1 when the timer is counting "DOWN".

By contrast, DATO1 is always equal to VAL+1.

The result of the conversion is depicted in Fig. 6d.

Data supplied from the *esp@cenet* database - Worldwide

Claims of corresponding document: **EP0892500**

Translate this text

1. Method for improving the definition of a conversion of a digital value in a PWM signal using an up/down N-bit counter, characterized in that it comprises

- a) increasing the dimension of the input datum to N+2 bits;
- b) using the two least significative bits of the N+2 input datum to select one among three intermediate levels between two consecutive values representable by an N-bit dynamic, according to a predefined table of combinations;
- c) employing the most significative N-bits of the input datum to store in four different registers the N-bit input digital value, the complementary value of said input digital value, the N-bit input digital value incremented by 1 and the complementary value of said input digital value incremented by 1, respectively;
- d) employing said two least significative bits and the up/down signal of said N-bit counter to select a pair of data to be compared among said four data contained in said four registers during each up-counting phase and down-counting phase of the counter, in function of said predefined table of combinations.

2. A system for converting a drive digital datum into a digital PWM drive value of an inductive load through a power output stage, comprising a register of the input datum, an N-bit comparator, an N-bit up/down counter, reset means, enabling means of at least a bistable circuit generating said PWM signal in function of the output status of said N-bit comparator, characterized in that said register of the input digital value has a capacity of N+2 bits, four additional registers storing a digital value corresponding to the most significative N-bits of the input datum, the complementary digital value of said N-bit digital value, the digital value corresponding to the most significative N-bits of the input datum incremented by 1 and the complementary digital value of said N-bits value incremented by 1, respectively;

a multiplexer for selecting a pair of said four stored values in said four different registers to be compared in said N-bit comparator;  
the selection of a pair of said four different values to be compared when said N-bit counter is counting UP and is counting DOWN, being established by a combination of values of the two least significative bits of said N+2 input datum and by the up/down signal of said counter.

---

Data supplied from the *esp@cenet* database - Worldwide

特開平11-103586

(43) 公開日 平成11年(1999) 4月13日

|   |   |   |                               |
|---|---|---|-------------------------------|
| (51) Int.Cl. <sup>5</sup><br>H 0 2 P 6/08<br>H 0 2 M 7/48<br>7/5387<br>H 0 2 P 7/06<br>H 0 3 M 1/82                                       | 識別記号<br><br><br><br><br><br>  | F I<br>H 0 2 P 6/02 3 7 1 J<br>H 0 2 M 7/48 F<br>7/5387 Z<br>H 0 2 P 7/06 F<br>H 0 3 M 1/82 | 審査請求 未請求 請求項の数 4 O L (全 12 頁) |
| (21) 出願番号 特願平10-203849<br>(22) 出願日 平成10年(1998) 7月17日<br>(31) 優先権主張番号 9 7 8 3 0 3 6 1, 8<br>(32) 優先日 1997年 7月17日<br>(33) 優先権主張国 イタリア (I T) | (71) 出願人 591011409<br>エスティーマイクロエレクトロニクス<br>ス. アル. エル<br>SCS-THOMSON MICROELECTRONICS SOCIETA A<br>RESPONSABILITA LIM<br>ITATA<br>イタリア国 アグラテ・ブリアンツァ<br>20041 ビゾ・チ・オリベッティ 2<br>(72) 発明者 マイオッチ ジュゼッペ<br>イタリア 22079 ヴィラガルディア ヴ<br>ィアサンフランチェスコ 41<br>(74) 代理人 弁理士 高月 猛 |   |                               |

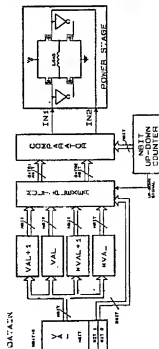
最終頁に続く

(54) 【発明の名称】 デジタルデータをフルブリッジ出力段部駆動用の PWM 信号に変換するときの精細度を増加させる装置及び方法

(57) 【要約】

【課題】 汎用 R L アクチュエータの駆動装置のブリッジ出力段部は、入力基準信号に応じた PWM 信号を発生するが、位相変調モードで電流を制御してフルブリッジ出力段部を駆動するとき、デューティサイクルの変化量が 2 倍になり精細度が低下する。

【解決手段】 入力基準信号のサイズを  $N+2$  ビットに増加させて、その  $N+2$  ビットの入力基準信号の 2 つの LSB を使って、所定の組合せ表に従って、 $N$  ビットのダイナミック値である連続する 2 値間の 3 つの中間レベルのうちの 1 つを選択することにより改善することができる。変換器には、 $N$  ビットの比較器を使う。本発明は、特に、各相の巻線がフルブリッジ出力段部の正弦波信号で駆動されるような多相ブラシレス DC モータを駆動するのに効果的である。





## 【特許請求の範囲】

【請求項1】 Nビットのアップ/ダウンカウンタを使ってデジタル値をPWM信号へ変換する際の精細度を改善する方法であって、

- a) 入力基準値をN+2ビットに増加する過程、
- b) 所定の組合せ表に従って、Nビットのダイナミック値で示される2つの連続値間の3つの中間レベルの1つを選択できるように、前記N+2ビット入力基準値の2つの最下位ビットを利用する過程、
- c) 前記入力基準値の最上位Nビットを利用し、4個の異なるレジスタに、そのNビット入力デジタル値、該入力デジタル値の補数値、前記Nビット入力デジタル値に1を加算した値、該入力デジタル値の補数値に1を加算した値をそれぞれ記憶させる過程、
- d) 前記の所定の組合せ表により、前記Nビットカウンタのアップカウント位相およびダウンカウント位相のそれぞれで前記の4個のレジスタに記憶されている4つのデータ値から比較すべき1組のデータ値を選択できるように、前記カウンタのアップ/ダウン信号および前記2つの最下位ビットを利用する過程、を実施することを特徴とする精細度改善方法。

【請求項2】 入力基準信号用のレジスタと、Nビットの比較器と、Nビットのアップ/ダウンカウンタと、リセット手段と、前記Nビット比較器の出力状態によってPWM信号を作成する少なくとも1個の双安定回路と、を備え、デジタル基準信号中の駆動デジタル基準値を出力段部を通した誘電負荷のデジタルPWM駆動値に変換する変換装置において、

前記入力基準信号用のレジスタは、前記入力基準信号の最上位Nビットに対応するデジタル値と、そのNビットデジタル値の補数デジタル値と、前記入力基準信号の最上位Nビットに対応するデジタル値に1を加算した値と、そのNビットデジタル値の補数デジタル値に1を加算した値と、をそれぞれ記憶するN+2ビットの4個のレジスタの機能をもち、そして、前記Nビット比較器で比較する前記4個の異なるレジスタ内の4つの記憶値のうちの1組を選択するためのマルチプレクサを備え、前記Nビットカウンタのアップカウントおよびダウンカウント時に、比較すべき前記4つの記憶値のうちの1組の選択が、N+2の入力基準信号の2つの最下位ビットの値の組み合わせと前記カウンタのアップ/ダウン信号とから行われることを特徴とする変換装置。

【請求項3】 複数の相巻線をもつブラシレスDC多相モータの駆動回路であって、巻線の2つの端子をそれぞれ電源供給ノード及び接地ノードへ切り替接する逆位相制御の2組の出力トランジスタ対をなす4個の出力トランジスタからなるモータの各巻線用のフルブリッジ出力段部と、請求項2記載の変換装置と、を備えた駆動回路。

【請求項4】 前記出力トランジスタが、対応するPW

M制御信号にて飽和制御される電界効果トランジスタである請求項3記載の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、いわゆるブリッジ構造をもつ出力段部経由で汎用RLAアクチュエータを駆動する技法に関し、特にアクチュエータに供給される電圧を分割し、これに流れる電流を制御するためにPWMモードでブリッジ出力段部を駆動する技法に関する。

## 【0002】

【従来の技術】最近開発された方法によれば、PWM駆動装置の制御信号は、可変クロック速度で走査できる不揮発性メモリに記憶された所定のNビットデジタル値を、出力段部での必要入力と一致するような振幅のデジタル信号に変換する回路で作成される。この読み取られた信号のデューティサイクルは、メモリから読み取られたNビットデジタル値に比例する。

【0003】本出願人による1996年5月22日出付けのヨーロッパ特許出願96830295.0には、このような特徴をもつNが8の変換装置について記述されている。図1は、その変換器(N=8)の構成を示す図である。

【0004】図1に示された変換装置は、変換すべき値を含んだ入力信号BYTE(N=8)と、連続アップ/ダウンモードで機能する8ビットタイマーの状態との比較を基本処理動作としている。

【0005】図2は、図1の回路で作成される信号である。

【0006】図1と図2に示すように、変換されるサンプル値(N=8 BYTE)は、変換中におけるサンプル値の更新を防止するため、まずSLレジスタに同期入力される。比較器COMPでは、CNTカウンタの状態が、変換されるサンプル値と同じになる毎にトリプル双安定回路FF2へのクロックパルスが作成される。これにより、そのデューティサイクルが入力サンプル値に比例的に、かつCNTカウンタの最大カウント値に比例的に変換するようなPWMOUT信号を発生させる。

【0007】しかしながら、図4から判るように、変換すべき入力サンプル値の単位増加(図2にて強調)に対して、出力デューティサイクルでは対称的に2倍の短縮が発生する。例えば、サンプル値が188から189へ変わるとき、図2の斜線で示すようにデューティサイクルが短くなってしまう。

## 【0008】

【発明が解決しようとする課題】位相変調モードで電流を制御して出力ブリッジ段部を駆動するとき、同出願人による1995年11月15日付けのヨーロッパ特許出願95830371.1に記載されている方法では、2<sup>N</sup>/2について対称な値を持つ2つのデジタル値(各半ブリッジにつき1ずつ)が変換されて用いられる。

【0009】このような駆動装置においては、対称性を維持するため、ハーフブリッジの片方に入力されたデジタル信号の単位増加に応じて他方のハーフブリッジに同時に入力されるデジタル信号が単位低下をし、ハーフブリッジ出力段部の場合と比較して、デューティサイクルの変化量が2倍になってしまう。

【0010】本発明は、フルブリッジを駆動する際の入力サンプル値の単位変動によるデューティサイクルの変化量の増減を防止する装置及び方法を提供するものである。

【0011】

【課題が解決するための手段】本発明の目的は、入力基準信号をNビットからN+2ビットへ増加させることにより上記の変換処理における精細度を改善し、それゆえ、デジタル比較器のサイズ(ビット数)を大きくすることなく、アクチュエータの電流制御を改善することにある。

【0012】上記目的を達成する本発明は、Nビットのアップ/ダウンカウンタを使ってデジタル値をPWM信号へ変換する際の精細度を改善する方法であって、  
a) 入力基準値をN+2ビットに増加する過程、b) 所定の組合せ表に従って、Nビットのダイナミック値で示される2つの連続値間の3つの中間レベルの1つを選択できるように、前記N+2ビット入力基準値の2つの最下位ビットを利用する過程、c) 前記入力基準値の最上位Nビットを利用し、4個の異なるレジスタに、そのNビット入力デジタル値、該入力デジタル値の補数値、前記Nビット入力デジタル値に1を加算した値、該入力デジタル値の補数値に1を加算した値をそれぞれ記憶させる過程、d) 前記の所定の組合せ表により、前記Nビットカウンタのアップカウンタ位相およびダウンカウンタ位相のそれぞれで前記の4個のレジスタに記憶されている4つのデータ値と比較すべき1組のデータ値を選択できるように、前記カウンタのアップ/ダウン信号および前記2つの最下位ビットを利用する過程、を実施することとを特徴とする。

【0013】また本発明の変換装置は、入力基準信号用のレジスタと、Nビットの比較器と、Nビットのアップ/ダウンカウンタと、リセット手段と、前記Nビット比較器の出力状態によってPWM信号を作成する少なくとも1個の双安定回路と、を備え、デジタル基準信号中の駆動デジタル基準値を出力段部を通した誘電負荷のデジタルPWM駆動値に変換する変換装置において、前記入力基準信号用のレジスタは、前記入力基準信号の最上位Nビットに対応するデジタル値と、そのNビットデジタル値の補数デジタル値と、前記入力基準信号の最上位Nビットに対応するデジタル値に1を加算した値と、そのNビットデジタル値の補数デジタル値に1を加算した値と、をそれぞれ記憶するN+2ビットの4個のレジスタの機能を持ち、そして、前記Nビット比較器と比較する

前記4個の異なるレジスタ内の4つの記憶値のうちの1組を選択するためのマルチプレクサを備え、前記Nビットカウンタのアップカウンタおよびダウンカウンタ時に、比較すべき前記4つの記憶値のうちの1組の選択が、N+2の入力基準信号の2つの最下位ビットの値の組み合わせと前記カウンタのアップ/ダウン信号とから行われることを特徴とする。

【0014】また、このような変換装置と、巻線の2つの端子をそれぞれ電源供給ノード及び接地ノードに切り替接統する逆位相制御の2組の出力トランジスタ対をなす4個の出力トランジスタからなるモータの各巻線用のフルブリッジ出力段部と、を複数の相巻線をもつブラシレスDC多相モータの駆動回路に備えることを特徴とする。

【0015】前記出力トランジスタは、対応するPWM制御信号にて飽和制御される電界効果トランジスタとするといふ。

【0016】本発明は、単一のフルブリッジ出力段部を備えた「単相」装置、および、駆動モードの動的制御を行える多相ブラシレスエラスティック(elastic)モータの駆動装置など、複数のフルブリッジ出力段部を備えた多相装置に適用できる。

【0017】

【発明の実施の形態】図3aは、出力ブリッジ段部を、図3b、3c、3dは、NBITS/PWM変換器からの駆動信号を示している。

【0018】図3a、3b、3c、3dに示されているように、本出願人による1995年11月15日付けのヨーロッパ特許出願95830371.1に記載されているように、移相変調モードによるブリッジ出力段を有する汎用RLアクチュエータのPWM駆動装置においては、2つのパルス信号IN1とIN2は、N+2ビットで記憶されている元のデジタル基準信号DATA INを2つのPWM信号に変換することにより得られる。

【0019】このような周知の装置の動作を説明するため、DATA IN信号のNのMSBをVALと表し、VALの $2^N/2$ に対する補数値を\*VAL+1と表すことにする。理論的にNはどのような整数でもよいが、本例ではN=8の装置に関して説明する。

【0020】2つの入力信号IN1とIN2が完全に同相で、かつ、デューティサイクルが50%ずつのとき、負荷に対して無電流の状態となる(図3b)。これは、どちらもデシマル(十進数)値128(一般的に示すNの場合 $2^N/2$ )の値を持つ2つの同じ値VAL値と\*VAL+1値の信号が、BYTE/PWM部に入力されている状態に相当する。

【0021】VAL値の単位増加は\*VAL+1値の単位低下に対応し、無電流となる値128(一般にNの場合 $2^N/2$ )に関する対称性が維持される。図4は、PWM信号に変換されるデジタル値の単位変動に由来する

デューティサイクルの長さの変化を示している。

【0022】図4に示すように、アップ/ダウンカウンタの1サイクル期間には、VAL値、\*VAL+1値とカウンタの状態つまり内容と比較する時点が4つ存在している(図中A、B、C、D)。図4の例では、VAL値は145から146へと増加し、\*VAL+1値は128を中心にに対して称的に111から110へと低下する。ゆえに、値A+Cだけ信号IN1のデューティサイクルが低下し、B+Dだけ信号IN2のデューティサイクルが増加することになる。

【0023】つまり、VAL値の増加と\*VAL+1値の低下の結果、差分デューティサイクルDIFFは、A+B+C+Dだけ増加してしまうのである。従って、差分デューティサイクルの0%から100%の範囲で、1/255(一般にN値の場合は $(1/2)^N$ )という装置での精細度が得られる。

【0024】しかし、以上の装置においては、本発明のように変換されるDATA IN信号の2のLSBの状態に従った適切な事後処理が行われねば、本発明の装置においては、アップ/ダウンカウンタ(比較器)のビット数を増加させることなく、精細度を上げることができ

る。

【0025】具体的に言えば、アップ/ダウンカウンタのビット数がNである場合、本例の装置では、N+2ビットの入力基準信号(オリジナル信号)の変換が可能である。

【0026】図5は、本発明のN+2ビットDATA/PWM変換器のブロック図である。

【0027】変換されるDATA IN値は、N+2ビットでメモリにマッピングされている。そのうち、NのMSBはVALで表される。VAL値から、簡単な論理演算により、その補数値の\*VAL値が算出され、それら2つのデジタル値が各Nビットの2個のレジスタに入力される。

【0028】別の2個のNビットレジスタには、1だけ増加した数値が記憶される。入力値の2つのLSBは、カウンタのアップ/ダウン信号と共に比較する基準値を選択するためのマルチプレクサ部へ送られる。

【0029】この選択処理は、下記の表に従って行われる。

【表1】

| UP-DOWN | BIT 1 | BIT 2 | DATUM 1 | DATUM 2 |
|---------|-------|-------|---------|---------|
| 0       | 0     | 0     | VAL     | *VAL+1  |
| 0       | 0     | 1     | VAL     | *VAL+1  |
| 0       | 1     | 0     | VAL     | *VAL+1  |
| 0       | 1     | 1     | VAL+1   | *VAL+1  |
| 1       | 0     | 0     | VAL     | *VAL+1  |
| 1       | 0     | 1     | VAL+1   | *VAL+1  |
| 1       | 1     | 0     | VAL+1   | *VAL    |
| 1       | 1     | 1     | VAL+1   | *VAL    |

【0030】図5と表1のように、入力基準信号の2つの最下位ビットがデジタル回路へ送られて、Nビットのダイナミック値で示される連続する2値間の3つの中間レベルが決定される。

【0031】N=8、VAL値が145、\*VAL+1値が111の例では、下記の状態が生成される。

【表2】

| 8MSB | ビット1 | ビット0 | 有効値    | 結果値DCxxx    |
|------|------|------|--------|-------------|
| 145  | 0    | 0    | 145    | DC145       |
| 145  | 0    | 1    | 145.25 | DC145+A     |
| 145  | 1    | 0    | 145.5  | DC145+A+B   |
| 145  | 1    | 1    | 145.75 | DC145+A+B+C |

【0032】そして、2個の補数LSBは専用デジタル回路に送られ、基本のデューティサイクル(DC145)で示され、ゼロである2個のLSBに対応する)がどのくらい伸長または短縮されるかが判断される。

【0033】普通には、下記のような関係が成立する。

【数1】 $DC145+A+B+C+D=DC146$

【0034】このように本例の装置では、変換される基準信号の2個のLSB値やアップ/ダウンカウンタのカウンタ方向に従って、異なるデューティサイクルが作成される動的な機能処理が行われる。この結果、同じビット数の比較器を使っても、比較例である周知の装置に比べて4倍高い精細度が達成できる。

【0035】そして、出力段部を駆動するIN1とIN2の2つの信号が、比較器により作成される。

【0036】図6A、6B、6C、6Dは、N+2ビット入力基準信号の変換が、オリジナル基準信号の2つの

LSBの状態に応じて行われる方法を示している。なお、表1と図6A、6B、6C、6Dからは、2個の連続VAL値間の中間レベルを算定する方法が確認できる。

【0037】例えば、VAL=145と仮定すると、  
【数2】

VAL=145、VAL+1=146、  
\*VAL=110、\*VAL+1=111

【0038】145を交換する場合(図6A)、BIT0=0およびBIT1=0となるので、端数はゼロになる。表1と図6Aから、タイマーの「アップカウント」中や「ダウンカウント」中において、DATO1とDATO2がそれぞれVALと\*VAL+1となるのが判る。この交換結果は、図6Aに示されるとおりである。

【0039】また、145.25を交換する場合(図6B)、BIT0=1およびBIT1=0である。この場合には、DATO1の変調が行われ、タイマーがアップカウントのときはVAL+1に交換され、ダウンカウントのときはVALに交換される。この交換結果は、図6Bに図示されている。

【0040】145.50の交換の場合(図6C)、BIT0=0およびBIT1=1である。この場合には、DATO1とDATO2の両方の入力データの変調が行われ、タイマーがアップカウントのときはそれぞれVAL+1および\*VALに交換され、ダウンカウントのときはVALおよび\*VAL+1に交換される。この交換結果は、図6Cに図示されている。

【0041】さらに、145.75の交換の場合(図6D)、BIT0=1およびBIT1=1である。この場合には、DATO2の変調が行われ、タイマーがアップカウントのときは\*VALに交換され、ダウンカウントのときは\*VAL+1に交換される。

【0042】反対に、DATO1は常にVAL+1である。

【0043】この交換結果が、図6Dに図示されている。

【0044】本発明の重要な適用例として、モータの位相巻線を駆動するための個別のフルブリッジ出力段部を

装備した、多相、普通は3相のブラシレスモータの駆動装置がある。専用のフルブリッジ段部経由での各巻線の独立駆動のためには、(基本的に星形状に接続されていない)その巻線の両端部へのアクセスが必要であるが、各位相巻線を独立して駆動する能力のおかげで、多相モータの単極駆動モードの場合には最高速が達成可能である。しかも、3相の場合、達成できる最高速は、星形状構成での速度よりも、2極駆動モードでは、3倍、3極駆動モードでは2倍ほど早くなるのが確認できよう。

【0045】図7には、単巻線のフルブリッジ駆動のための電気配線構成と、2極駆動モードの場合での電流と電圧の波形が図示されている。

【0046】図8には、正弦波電流を使った3極駆動モードの場合での電気配線および電流と電圧の波形が図示されている。

【0047】図7と8に図示の適用例においては、PWMモードで制御されるフルブリッジ出力段部経由の各モータ巻線の独立した駆動による、前記の最大速度における特色が付加されるという、本発明による卓越した改善がみられる。

【図面の簡単な説明】

【図1】本発明出願で説明するBYTE/PWM変換器(N=8)が図示されている。

【図2】図1の回路で作成される信号である。

【図3】NBITS/PWM変換器からの駆動信号と出力ブリッジ段階部を示している。

【図4】PWM信号に変換されるデジタル値の単位変動に由来するデューティサイクル長さ変化を示している。

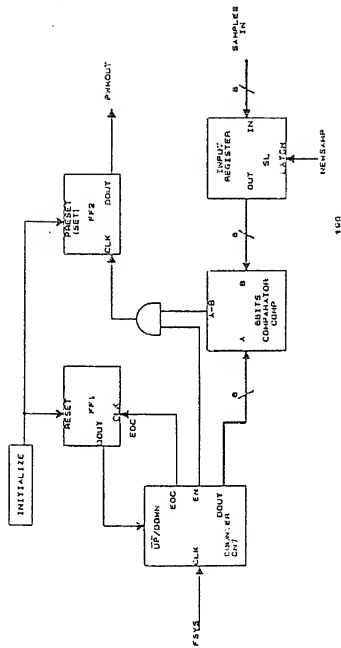
【図5】本発明のN+2ビットDATA/PWM変換器のブロック図である。

【図6】N+2ビット入力基準信号の変換が、オリジナル基準信号の2つのLSBの状態に応じて行われる方法を示している。

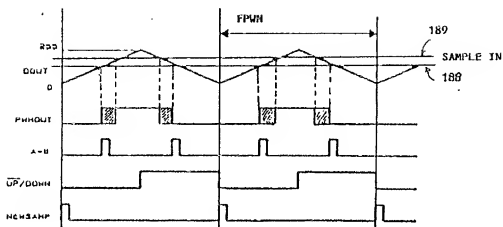
【図7】3相モータの双極駆動モードにおける電気配線図および電流と電圧の波形図である。

【図8】正弦波電流を使った3極駆動モードにおける電気配線図および電流と電圧の波形図である。

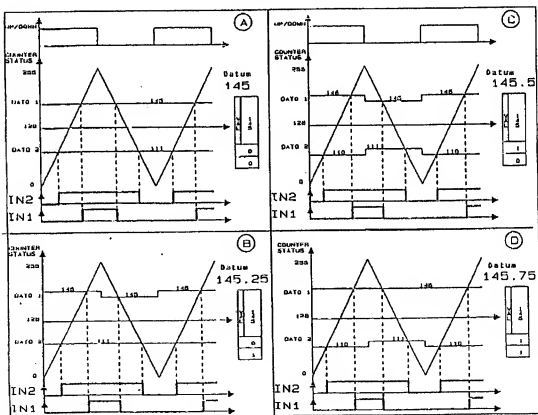
【図1】



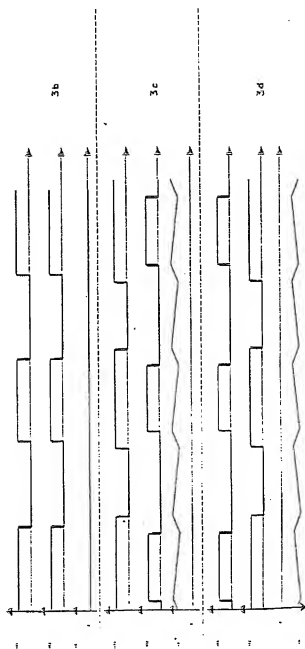
【図2】



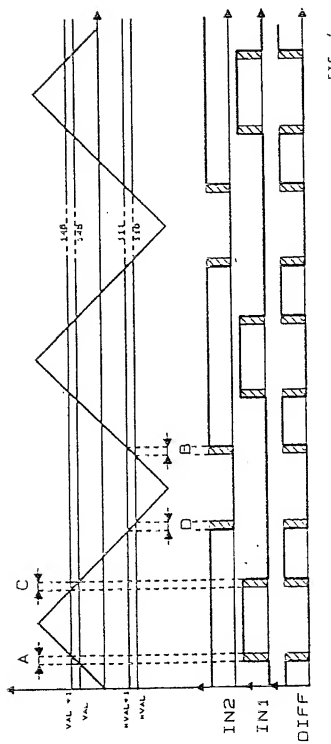
【図6】



【図3】

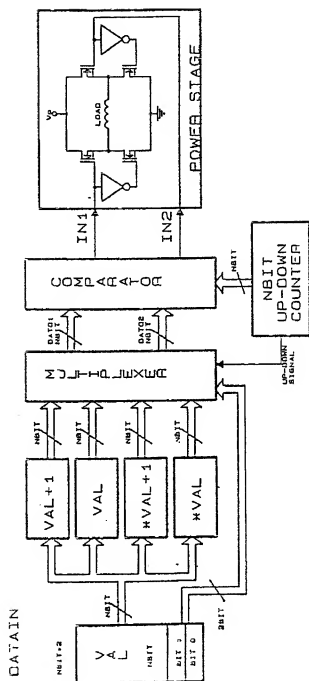


【図4】

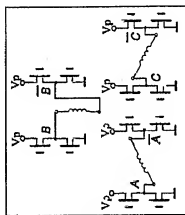
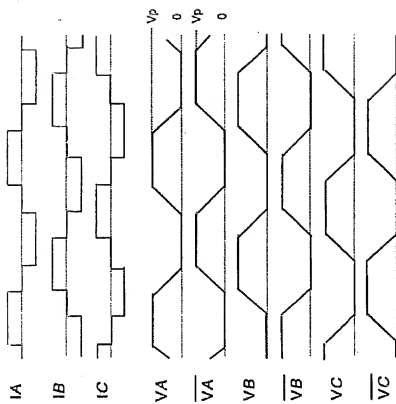




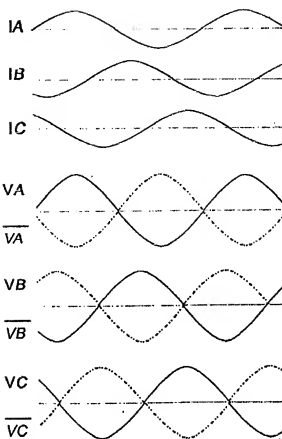
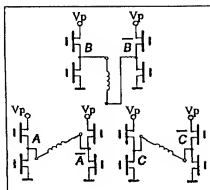
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 ガルビアティ エジオ  
 イタリア 26020 アナデーロ ピアッツ  
 ヲカステロ 14